

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

First Named
Inventor : Philippe Messager

Appln. No.: 10/814,811

Filed : March 31, 2004

For : INTEGRATED CIRCUIT DELIVERING
LOGIC LEVELS AT A VOLTAGE
INDEPENDENT FROM THE MAINS
VOLTAGE, WITH NO ATTACHED
REGULATOR FOR THE POWER
SECTION, AND CORRESPONDING
COMMUNICATION MODULE

Docket No.: A64.12-0004

Group Art Unit:2816



**CLAIM OF PRIORITY AND TRANSMITTAL OF
CERTIFIED COPY OF PRIORITY DOCUMENT**

Assistant Commissioner for Patents
Washington, D.C. 20231
Sir:

Applicant claims right of priority under the provisions of 35 USC § 119 based on French Patent Application No. 03 04075, filed 1 April 2003.

A certified copy of this application is enclosed. This priority application is identified in the Declaration filed herewith.

Applicant requests that priority be granted on the basis of this application.

Respectfully submitted,

WESTMAN, CHAMPLIN & KELLY, P.A.

By: David D. Brush

David D. Brush, Reg. No. 34,557
Suite 1600 - International Centre
900 Second Avenue South
Minneapolis, Minnesota 55402-3319
Phone: (612) 334-3222 Fax: (612) 334-3312

DDB:tkj



THIS PAGE BLANK (USPTO)



BREVET D'INVENTION

CERTIFICAT D'UTILITÉ - CERTIFICAT D'ADDITION

COPIE OFFICIELLE

Le Directeur général de l'Institut national de la propriété industrielle certifie que le document ci-annexé est la copie certifiée conforme d'une demande de titre de propriété industrielle déposée à l'Institut.

Fait à Paris, le 05 AVR 2004

**CERTIFIED COPY OF
PRIORITY DOCUMENT**

Pour le Directeur général de l'Institut
national de la propriété industrielle
Le Chef du Département des brevets

Martine PLANCHE



INSTITUT
NATIONAL DE
LA PROPRIÉTÉ
INDUSTRIELLE

26 bis, rue de Saint Pétersbourg
75800 Paris Cedex 08
Téléphone : 33 (1) 53 04 53 04 Télécopie : 33 (1) 42 94 86 54

BREVET D'INVENTION CERTIFICAT D'UTILITÉ

Code de la propriété intellectuelle - Livre VI

cerfa
N° 11354*03

BR1

REQUÊTE EN DÉLIVRANCE page 1/2

Cet imprimé est à remplir lisiblement à l'encre noire

DB 540 • W / 210502

1 AVRIL 2003

Reservé à l'INPI

REMISE DES PIÈCES
DATE : 35 INPI RENNES

LIEU

0304075

N° D'ENREGISTREMENT

NATIONAL ATTRIBUÉ PAR L'INPI

DATE DE DÉPÔT ATTRIBUÉE

PAR L'INPI

- 1 AVR. 2003

Vos références pour ce dossier
(facultatif) 2905

Confirmation d'un dépôt par télecopie

N° attribué par l'INPI à la télecopie

2 NATURE DE LA DEMANDE

Cochez l'une des 4 cases suivantes

Demande de brevet

Demande de certificat d'utilité

Demande divisionnaire

Demande de brevet initiale

ou demande de certificat d'utilité initiale

Transformation d'une demande de
brevet européen Demande de brevet initiale

1 NOM ET ADRESSE DU DEMANDEUR OU DU MANDATAIRE

À QUI LA CORRESPONDANCE DOIT ÊTRE ADRESSÉE

Cabinet Patrice VIDON
Le Nobel - Technopôle Atalante
2, allée antoine becquerel
BP 90333
35703 RENNES CEDEX 7

3 TITRE DE L'INVENTION (200 caractères ou espaces maximum)

Circuit intégré délivrant des niveaux logiques à une tension indépendante de la tension d'alimentation, sans régulateur associé pour la partie puissance, et module de communication correspondant.

**4 DÉCLARATION DE PRIORITÉ
OU REQUÊTE DU BÉNÉFICE DE
LA DATE DE DÉPÔT D'UNE
DEMANDE ANTÉRIEURE FRANÇAISE**

Pays ou organisation

Date N°

Pays ou organisation

Date N°

Pays ou organisation

Date N°

S'il y a d'autres priorités, cochez la case et utilisez l'imprimé «Suite»

5 DEMANDEUR (Cochez l'une des 2 cases)

Personne morale

Personne physique

Nom
ou dénomination sociale

ATMEL NANTES SA

Prénoms

Société Anonyme

Forme juridique

3 1 5 6 2 9 2 4 6

N° SIREN

1 3 1 4 3 0 6

Code APE-NAF

1 1 1 1

Domicile
ou
siège

Rue

La Chartrerie
BP 70602

Code postal et ville

4 4 3 0 6 NANTES CEDEX 3

Pays

FRANCE

Nationalité

N° de télecopie (facultatif)

N° de téléphone (facultatif)

Adresse électronique (facultatif)

S'il y a plus d'un demandeur, cochez la case et utilisez l'imprimé «Suite»

Remplir impérativement la 2^{me} page

Yas



BREVET D'INVENTION CERTIFICAT D'UTILITÉ

REQUÊTE EN DÉLIVRANCE page 2/2

BR2

1 AVRIL 2003

Réserve à l'INPI

REPRISE DES PIÈCES
DATE 35 INPI RENNES

LIEU 0304075

N° D'ENREGISTREMENT
NATIONAL ATTRIBUÉ PAR L'INPI

DB 540 W / 210502

6 MANDATAIRE (si il y a lieu)		
Nom VIDON		
Prénom Patrice		
Cabinet ou Société Cabinet Patrice VIDON		
N ° de pouvoir permanent et/ou de lien contractuel		
Adresse	Rue	Le Nobel - Technopôle Atalante 2, allée antoine becquerel - BP 90333
	Code postal et ville	35701 RENNES CEDEX 7
	Pays	FRANCE
N° de téléphone (facultatif)		
02 99 38 23 00		
N° de télécopie (facultatif)		
02 99 36 02 00		
Adresse électronique (facultatif)		
vidon@vidon.com		
7 INVENTEUR (S)		
Les inventeurs sont nécessairement des personnes physiques		
<input type="checkbox"/> Oui <input checked="" type="checkbox"/> Non : Dans ce cas remplir le formulaire de Désignation d'inventeur(s)		
8 RAPPORT DE RECHERCHE		
<input checked="" type="checkbox"/> <input type="checkbox"/> Uniquement pour une demande de brevet (y compris division et transformation)		
<input type="checkbox"/> <input type="checkbox"/> Uniquement pour les personnes physiques effectuant elles-mêmes leur propre dépôt		
<input type="checkbox"/> <input type="checkbox"/> Uniquement pour les personnes physiques		
<input type="checkbox"/> Requise pour la première fois pour cette invention (joindre un avis de non-imposition) <input type="checkbox"/> Obtenue antérieurement à ce dépôt pour cette invention (joindre une copie de la décision d'admission à l'assistance gratuite ou indiquer sa référence). AG <input type="checkbox"/> <input type="checkbox"/> <input type="checkbox"/> <input type="checkbox"/> <input type="checkbox"/>		
10 SÉQUENCES DE NUCLEOTIDES ET/OU D'ACIDES AMINÉS		
<input type="checkbox"/> Cochez la case si la description contient une liste de séquences		
<input type="checkbox"/> <input type="checkbox"/> Le support électronique de données est joint La déclaration de conformité de la liste de séquences sur support papier avec le support électronique de données est jointe		
Si vous avez utilisé l'imprimé «Suite», indiquez le nombre de pages jointes		
11 SIGNATURE DU DEMANDEUR OU DU MANDATAIRE (Nom et qualité du signataire) P. VIDON (Mandataire CPI n° 92 1250)		
VISA DE LA PRÉFECTURE 		

Circuit intégré délivrant des niveaux logiques à une tension indépendante de la tension d'alimentation, sans régulateur associé pour la partie puissance, et module de communication correspondant.

1. Domaine de l'invention

5 Le domaine de l'invention est celui de la conception et de la fabrication de circuits intégrés, par exemple de type MOS.

Plus précisément, l'invention concerne les circuits délivrant des niveaux logiques, dont la tension doit rester invariable même lorsque la tension d'alimentation varie.

10 Notamment, l'invention concerne la communication entre deux circuits intégrés, par exemple via une liaison USB. Un buffer USB doit en effet fournir des effets logiques « 1 » et « 0 » en sortie, sur une liaison pouvant atteindre 500 pF de capacité, avec un temps de commutation de l'ordre de 20 ns. Or, la norme USB spécifie que le niveau « 1 » doit être une tension de 3 V, quelle que soit la tension de 15 l'alimentation.

2. État de l'art

Habituellement, un buffer USB n'est qu'un commutateur (« switch » en anglais) de puissance et est alimenté par un régulateur délivrant toujours 3 V. Ce régulateur doit donc avoir une capacité très importante en sortie 15, pour pouvoir encaisser les pics de courant, de l'ordre de 100 mA pendant 20 ns. En effet, celui-ci ne pourrait pas réagir en 20 ns (comme illustré en figure 2) sans cette capacité, et la tension s'abaisserait alors fortement sans cette dernière.

La figure 1 illustre un tel dispositif.

Il comprend donc un régulateur 11, comprenant un amplificateur opérationnel 111 et recevant sur sa borne positive une référence de tension V_{bgap} , par exemple de 1,2 V. Cet amplificateur 111 opérationnel est connecté à un transistor 112, ce dernier rebouclant sur l'entrée négative de ce premier, par l'intermédiaire d'une résistance 113. Ce régulateur délivre donc une tension V_{CC} à réguler de 3 V, à l'aide de la capacité externe 14, qui est notamment dirigée vers le buffer 12.

30 Ce buffer comprend deux transistors 121 et 122, respectivement PMOS et NMOS, recevant un signal de commande 123, et délivrant sur une résistance 124

l'invention correspondant au niveau logique souhaité.

Comme mentionné plus haut, pour obtenir un temps de réponse inférieur à 20 ns, il est nécessaire de prévoir une capacité externe 13, par exemple d'une valeur de 500 pF. Cela nécessite de prévoir une borne de sortie spécifique sur le circuit intégré, pour connecter cette capacité externe 13.

En outre, une telle capacité augmente le coût de l'ensemble, ainsi que son encombrement, et la complexité de montage.

Par ailleurs, un régulateur, supposant la présence d'un amplificateur opérationnel, entraîne un encombrement important sur la surface du circuit intégré.

3. Objectifs de l'invention

L'invention a notamment pour objectif de pallier ces différents inconvénients de l'état de l'art.

Plus précisément, un objectif de l'invention est de fournir un circuit intégré capable de délivrer une tension de sortie prédéterminée représentative d'un niveau logique, quelle que soit la tension d'alimentation, ne nécessitant aucun composant externe et notamment de capacité pour encaisser des pics de courant.

Un autre objectif de l'invention est de fournir un tel circuit intégré, ne nécessitant pas la présence d'un régulateur USB classique supposant la présence d'un amplificateur opérationnel.

Encore un autre objectif de l'invention est de fournir un tel circuit intégré, permettant de simplifier la conception, la fabrication et le montage du circuit intégré.

En d'autres termes, un objectif de l'invention est de fournir une technique simple et efficace, peu consommatrice en surface de silicium, pour réaliser un tel circuit intégré.

L'invention a également pour objectif de fournir un tel circuit intégré, offrant un temps de montée très court jusqu'à la tension souhaitée, par exemple de l'ordre de 20 ns.

4. Caractéristiques principales de l'invention

L'invention concerne donc un circuit intégré comprenant des moyens pour délivrer sur au moins une sortie une tension de sortie prédéterminée représentative d'un niveau logique, ledit circuit intégré comprenant des moyens de distribution

d'une tension d'alimentation et des moyens de génération d'une tension interne de référence inférieure à ladite tension d'alimentation.

Un tel circuit comprend en particulier des moyens de connexion de ladite tension d'alimentation sur ladite sortie et des moyens de limitation de la tension sur ladite sortie à la valeur de ladite tension de sortie prédéterminée, tenant compte de ladite tension de référence.

Ainsi, il est possible d'obtenir une tension de sortie précise, quelles que soient les variations de la tension d'alimentation, sans élément externe tel qu'une capacité.

Avantageusement, la tension prédéterminée est égale à la tension de référence.

Cependant, dans un autre mode de réalisation de l'invention, il est possible de générer une tension de sortie qui soit différente de la tension de référence, tout en assurant les mêmes fonctionnalités, en utilisant par exemple, un ou plusieurs transistors monté(s) en série.

De façon préférentielle, lorsque la tension prédéterminée est atteinte, les courants circulant dans les moyens de connexion de la tension d'alimentation et dans les moyens de limitation de la tension s'équilibrivent.

Préférentiellement, les moyens de connexion comprennent un premier transistor (TP0) de puissance.

Avantageusement, le drain du premier transistor est connecté à la sortie et sa source à la tension d'alimentation.

De façon avantageuse, les moyens de limitation de la tension comprennent au moins un second transistor (TP1) contrôlé sur sa grille par la tension de référence.

Préférentiellement, la grille du second transistor est connectée à la grille d'un troisième transistor (TP2) monté en diode à la tension de référence.

De façon préférentielle, les moyens de limitation de la tension comprennent des moyens de blocage du premier transistor, lorsque la tension prédéterminée est atteinte.

De façon également préférentielle, les moyens de blocage comprennent un premier et un second miroir de courant (TN1/TN2, TP4/TP5) connectés l'un à l'autre.

d'une tension d'alimentation et des moyens de génération d'une tension interne de référence inférieure à ladite tension d'alimentation.

Un tel circuit comprend en particulier des moyens de connexion de ladite tension d'alimentation sur ladite sortie et des moyens de limitation et/ou de détection 5 de la tension sur ladite sortie à la valeur de ladite tension de sortie prédéterminée, tenant compte de ladite tension de référence.

Ainsi, il est possible d'obtenir une tension de sortie précise, quelles que soient les variations de la tension d'alimentation, sans élément externe tel qu'une capacité.

Avantageusement, la tension prédéterminée est égale à la tension de 10 référence.

Cependant, dans un autre mode de réalisation de l'invention, il est possible de générer une tension de sortie qui soit différente de la tension de référence, tout en assurant les mêmes fonctionnalités, en utilisant par exemple, un ou plusieurs transistors monté(s) en série.

15 De façon préférentielle, lorsque la tension prédéterminée est atteinte, les courants circulant dans les moyens de connexion de la tension d'alimentation et dans les moyens de limitation et/ou de détection de la tension s'équilibrivent.

Préférentiellement, les moyens de connexion comprennent un premier transistor (TP0) de puissance.

20 Avantageusement, le drain du premier transistor est connecté à la sortie et sa source à la tension d'alimentation.

De façon avantageuse, les moyens de limitation de la tension comprennent au moins un second transistor (TP1) contrôlé sur sa grille par la tension de référence.

Préférentiellement, la grille du second transistor est connectée à la grille d'un 25 troisième transistor (TP2) monté en diode à la tension de référence.

De façon préférentielle, les moyens de limitation de la tension comprennent des moyens de blocage du premier transistor, lorsque la tension prédéterminée est atteinte.

30 De façon également préférentielle, les moyens de blocage comprennent un premier et un second miroir de courant (TN1/TN2, TP4/TP5) connectés l'un à l'autre.

Avantageusement, le premier miroir de courant délivre un courant de blocage lorsque la tension prédéterminée est atteinte sur la sortie, et en ce que le second miroir transmet une copie du courant de blocage sur la grille du premier transistor, de façon à le bloquer.

5 De façon avantageuse, la grille du premier transistor est connectée à une entrée de commande via un quatrième transistor (TN3).

De façon également avantageuse, la taille du troisième transistor est inférieure à celle des transistors (TP4, TP5) du second miroir, de façon que ce dernier impose son niveau au troisième transistor lorsqu'il délivre la copie du courant de blocage.

10 De façon préférentielle, la tension de sortie correspond au niveau logique « 1 » d'une liaison USB.

Avantageusement, la tension de référence est utilisée pour contrôler la partie CMOS logique du circuit intégré.

15 De façon avantageuse, la tension de référence et/ou la tension prédéterminée valent 3 V, la tension d'alimentation valant 5 V.

20 L'invention concerne également un module de communication pour circuit intégré comprenant des moyens pour délivrer sur une au moins une sortie une tension de sortie prédéterminée représentative d'un niveau logique et un circuit intégré comprenant des moyens de distribution d'une tension d'alimentation et des moyens de génération d'une tension interne de référence inférieure à la tension d'alimentation. Ce module comprend, avantageusement, des moyens de connexion de la tension d'alimentation sur la sortie et des moyens de limitation de la tension sur la sortie à la valeur de la tension de sortie prédéterminée, tenant compte de ladite tension de référence.

25 **5. Liste des figures**

D'autres caractéristiques et avantages de l'invention apparaîtront plus clairement à la lecture de la description suivante d'un mode de réalisation préférentielle, donné à titre de simple exemple illustratif et non limitatif et des figures annexées, parmi lesquelles :

30 - la figure 1 est un schéma illustrant un dispositif à régulateur selon l'art antérieur comprenant une capacité externe, et commenté en préambule ;

- la figure 2 illustre la tension du signal de sortie, tant selon l'art antérieur que selon l'invention ;
- la figure 3 est un schéma de principe de la technique selon l'invention ;
- la figure 4 est un exemple détaillé de mise en œuvre de la technique selon l'invention ;
- les figures 5.a et 5.b illustrent des courbes de valeurs associées au fonctionnement du dispositif de la figure 4.

6. **Description d'un mode de réalisation préférentiel de l'invention**

6.1 *Principe général*

Le principe général de l'invention consiste à générer la tension de 3 V dans le circuit intégré, sans avoir besoin d'un régulateur pour la partie puissance. En général, il y a en effet un régulateur dans les circuits pour la partie CMOS logique, afin que celle-ci fonctionne toujours à tension faible (3 V, et non 5,5 V, pour éviter les risques de destruction des transistors de petite dimension).

Selon un aspect avantageux de l'invention, on prévoit donc de se servir de cette tension de 3 V comme référence pour générer un niveau logique « 1 », selon la norme USB (dans le mode de réalisation décrit), en prenant la puissance directement sur l'alimentation 5 V. La figure 3 illustre de façon simplifiée le principe général de l'invention.

Le système de l'invention comprend donc des moyens de connexion 31 de l'alimentation 5 V sur la sortie USB. Ces moyens de connexion comprennent notamment un transistor PMOS, reliant cette alimentation 5 V à la sortie USB.

Des moyens de limitation 32 de la tension délivrée sur cette sortie USB sont prévus. Ils sont connectés à cette sortie, de façon à absorber une partie de la tension, lorsque cela est nécessaire, de façon que celle-ci ne dépasse pas 3 V.

Ces moyens de limitation 32 contrôlent simultanément des moyens de blocage 33, comprenant par exemple deux miroirs de courant. Ils agissent sur le moyen de connexion, de façon à bloquer la liaison entre l'alimentation 5 V et la sortie USB.

Ainsi, il est possible de délivrer une sortie USB à une tension régulière de 3 V, sans capacité externe, ni amplificateur opérationnel, ni autre élément complexe.

6.2 Présentation d'un mode de mise en œuvre particulier de l'invention

On présente maintenant un exemple particulier de mise en œuvre de ces techniques, à l'aide de la figure 4 présentant un mode particulier de réalisation de l'invention et de la figure 5 (a et b) illustrant certaines valeurs de fonctionnement.

5 Le transistor TP0 (PMOS dans cet exemple, mais il est bien sûr possible d'inverser les rôles des transistors PMOS et NMOS) relie l'alimentation 5 V AL5V à la sortie USB. Il devient passant en fonction du signal qu'il reçoit sur sa grille, contrôlé comme expliqué par la suite.

10 Selon l'invention, on connecte un transistor TP1 (PMOS) sur la sortie USB par son drain. Sa grille est reliée à une tension VT inférieure à la tension USB (et valant par exemple environ 2,2 V).

15 Cette tension VT peut être réalisée à l'aide d'un transistor TP2 de même type que TP1, connecté en diodes à la tension 3 V numériques (toujours disponible dans la partie CMOS logique d'un circuit intégré). Ce transistor génère donc une tension égale à (3 V – VT). Ce transistor TP1 a ainsi une fonction de détecteur instantané de niveau « 1 » (3 V) sur la sortie USB. En effet, dès que la tension sur la sortie USB dépasse 3V, la tension VGS1 de ce transistor TP1 devient supérieure à VT (qui vaut environ 0,8 V) et devient donc passant.

20 Un courant i parcourt alors ce transistor TP1. Grâce à ce courant i , on peut fermer le transistor de puissance TP0, par l'intermédiaire de moyens de blocage, qui connectent la sortie USB à l'alimentation 5 V. Il est donc ainsi aisé de limiter le niveau « 1 » de l'USB à 3 V.

25 Un simple comparateur comparant la sortie USB à la tension 3 V numérique, pour fermer ensuite le transistor de puissance TP0, serait trop lent, et créerait des surtensions (« overshoots » en anglais) et consommerait en outre beaucoup. La solution, selon l'invention, met en œuvre des miroirs de courant dans les moyens de blocage et permet de pallier efficacement cet inconvénient.

Il est à noter que le principe décrit ci-dessus fonctionne également avec les transistors NMOS au lieu des transistors PMOS, TP0 et TP1.

30 6.3 Illustration du fonctionnement du dispositif de la figure 4

Lorsqu'on désire un niveau « 1 » sur la sortie USB, la commande DPLUS

5 passe à « 1 » (51, figure 5.a). Le transistor TN3 ouvre alors le transistor de puissance TP0, en imposant une tension VSS sur sa grille. La tension sur la sortie USB monte alors progressivement (52, figure 5.a). Lorsqu'elle atteint 3 V, au bout d'environ 20ns (53, figure 5.a), le transistor TP1 devient légèrement conducteur, puisque sa tension VGS1 est devenue supérieure à la tension VT. Le courant venant du transistor TP0 vers le transistor TP1 est alors recopié instantanément par le miroir de courant formé par les transistors TN1 et TN2, puis par le miroir de courant formé par les transistors TP4/TP5.

10 Ainsi, lorsqu'un courant circule dans TP1, il y a un courant similaire circulant dans TP5. Ce courant permet de fermer le transistor TP0, en ramenant sa tension de grille à 5V – VT, ce qui entraîne sa fermeture, au moins partiellement.

Le transistor TP5 est configuré de façon qu'il puisse imposer son niveau au transistor TN3, ce dernier étant un transistor très faible.

15 Ainsi, le système charge la capacité USB jusqu'à 3 V, et maintient ensuite ce niveau (54, figure 5.a), en équilibrant les courants, de l'ordre de quelques dizaines de μ A dans les transistors TP0 et TP1. Toute la puissance pour charger les 500 pF de l'USB viennent ainsi directement de la tension d'alimentation AL5V (55, figure 5.b). Il n'y a donc pas besoin d'utiliser de régulateur USB, ni de capacité extérieure, dans la solution selon l'invention.

20 6.4 Applications

Le dispositif de l'invention peut être implanté dans tous les cas où les capacités extérieures doivent être diminuées au maximum, et par exemple pour des liaisons USB. Il s'applique notamment dans les cas où le circuit intégré possède une référence de tension interne ayant la même valeur que la tension à délivrer en sortie, via des buffers.

25 6.5 Généralisation

Dans un mode de réalisation particulier de l'invention, on utilise un ou plusieurs autres transistors montés en série avec le transistor TP2, ou bien encore, un régulateur de puissance réduite (1,2 V par exemple), de façon à générer une tension de sortie USB (de 2 V par exemple) qui soit différente de la tension de référence, toute en assurant les mêmes fonctionnalités.

REVENDICATIONS

1. Circuit intégré comprenant des moyens pour délivrer sur au moins une sortie une tension de sortie prédéterminée représentative d'un niveau logique, ledit circuit intégré comprenant des moyens de distribution d'une tension 5 d'alimentation et des moyens de génération d'une tension interne de référence inférieure à ladite tension d'alimentation, caractérisé en ce qu'il comprend des moyens de connexion de ladite tension d'alimentation sur ladite sortie et des moyens de limitation et/ou de détection de la tension sur ladite sortie à la valeur de ladite tension de sortie prédéterminée, tenant 10 compte de ladite tension de référence.
2. Circuit intégré selon la revendication 1, caractérisé en ce que ladite tension prédéterminée est égale à ladite tension de référence.
3. Circuit intégré selon l'une quelconque des revendications 1 et 2, caractérisé en ce que, lorsque ladite tension prédéterminée est atteinte, les courants circulant dans 15 lesdits moyens de connexion de ladite tension d'alimentation et lesdits moyens de limitation et/ou de détection de la tension s'équilibrent.
4. Circuit intégré selon l'une quelconque des revendications 1 à 3, caractérisé en ce que lesdits moyens de connexion comprennent un premier transistor (TP0) de puissance.
- 20 5. Circuit intégré selon la revendication 4, caractérisé en ce que le drain dudit premier transistor est connecté à ladite sortie et sa source à ladite tension d'alimentation.
6. Circuit intégré selon l'une quelconque des revendications 1 à 5, caractérisé en ce que lesdits moyens de limitation de la tension comprennent au moins un second 25 transistor (TP1) contrôlé sur sa grille par ladite tension de référence.
7. Circuit intégré selon la revendication 6, caractérisé en ce que ladite grille du second transistor est connectée à la grille d'un troisième transistor (TP2) monté en diode à ladite tension de référence.
8. Circuit intégré selon l'une quelconque des revendications 4 à 7, caractérisé en 30 ce que lesdits moyens de limitation de la tension comprennent des moyens de blocage dudit premier transistor, lorsque ladite tension prédéterminée est atteinte.

9. Circuit intégré selon la revendication 8, caractérisé en ce que lesdits moyens de blocage comprennent un premier et un second miroir de courant (TN1/TN2, TP4/TP5) connectés l'un à l'autre.

5 10. Circuit intégré selon la revendication 9, caractérisé en ce que le premier miroir de courant délivre un courant de blocage lorsque ladite tension prédéterminée est atteinte sur ladite sortie, et en ce que ledit second miroir transmet une copie dudit courant de blocage sur la grille dudit premier transistor, de façon à le bloquer.

10 11. Circuit intégré selon l'une quelconque des revendications 4 à 10, caractérisé en ce que la grille dudit premier transistor est connectée à une entrée de commande via un quatrième transistor (TN3).

15 12. Circuit intégré selon les revendications 10 et 11, caractérisé en ce que la puissance dudit troisième transistor est inférieure à celle des transistors (TP4, TP5) dudit second miroir, de façon que ce dernier impose son niveau audit troisième transistor lorsqu'il délivre ladite copie du courant de blocage.

13. Circuit intégré selon l'une quelconque des revendications 1 à 12, caractérisé en ce que ladite tension de sortie correspond au niveau logique « 1 » d'une liaison USB.

20 14. Circuit intégré selon l'une quelconque des revendications 1 à 13, caractérisé en ce que ladite tension de référence est utilisée pour alimenter la partie CMOS logique dudit circuit intégré.

15. Circuit intégré selon l'une quelconque des revendications 1 à 14, caractérisé en ce que ladite tension de référence et/ou ladite tension prédéterminée valent 3 V, ladite tension d'alimentation valant 5 V.

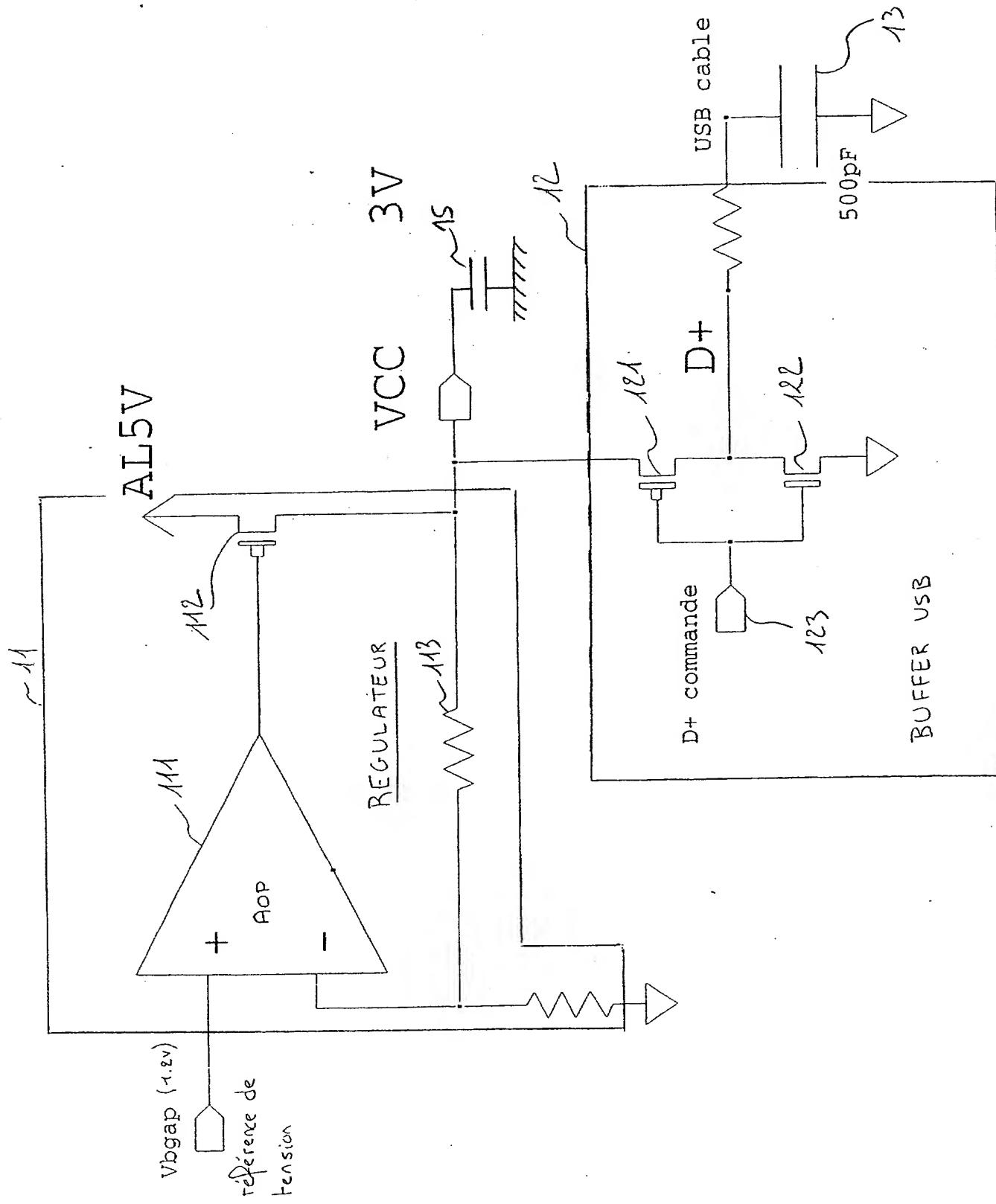
25 16. Module de communication pour circuit intégré comprenant des moyens pour délivrer sur une au moins une sortie une tension de sortie prédéterminée représentative d'un niveau logique,
ledit circuit intégré comprenant des moyens de distribution d'une tension d'alimentation et des moyens de génération d'une tension interne de référence inférieure à ladite tension d'alimentation,
30 caractérisé en ce qu'il comprend des moyens de connexion de ladite tension d'alimentation sur ladite sortie et des moyens de limitation de la tension sur ladite

sortie à la valeur de ladite tension de sortie prédéterminée, tenant compte de ladite tension de référence.

Cabinet Vidon
Rtmel. n° N 2305 FR
Desires prévisions

1er dépôt

Modifiée le 13/06/03



1/5

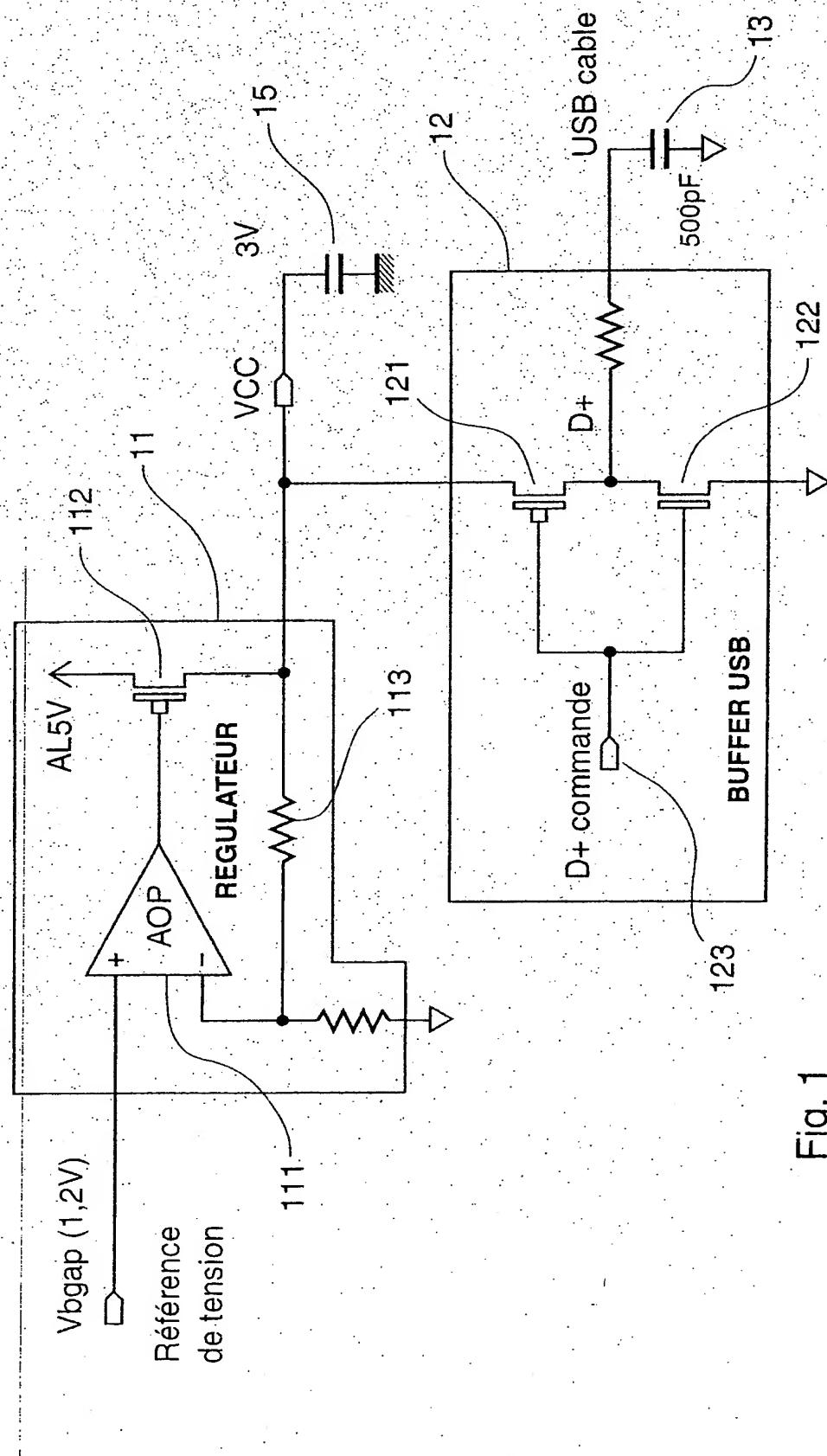


Fig. 1

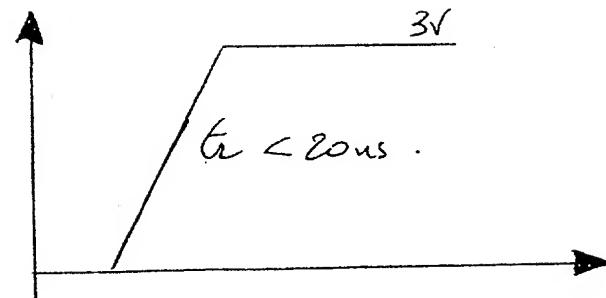


Fig. 2 .

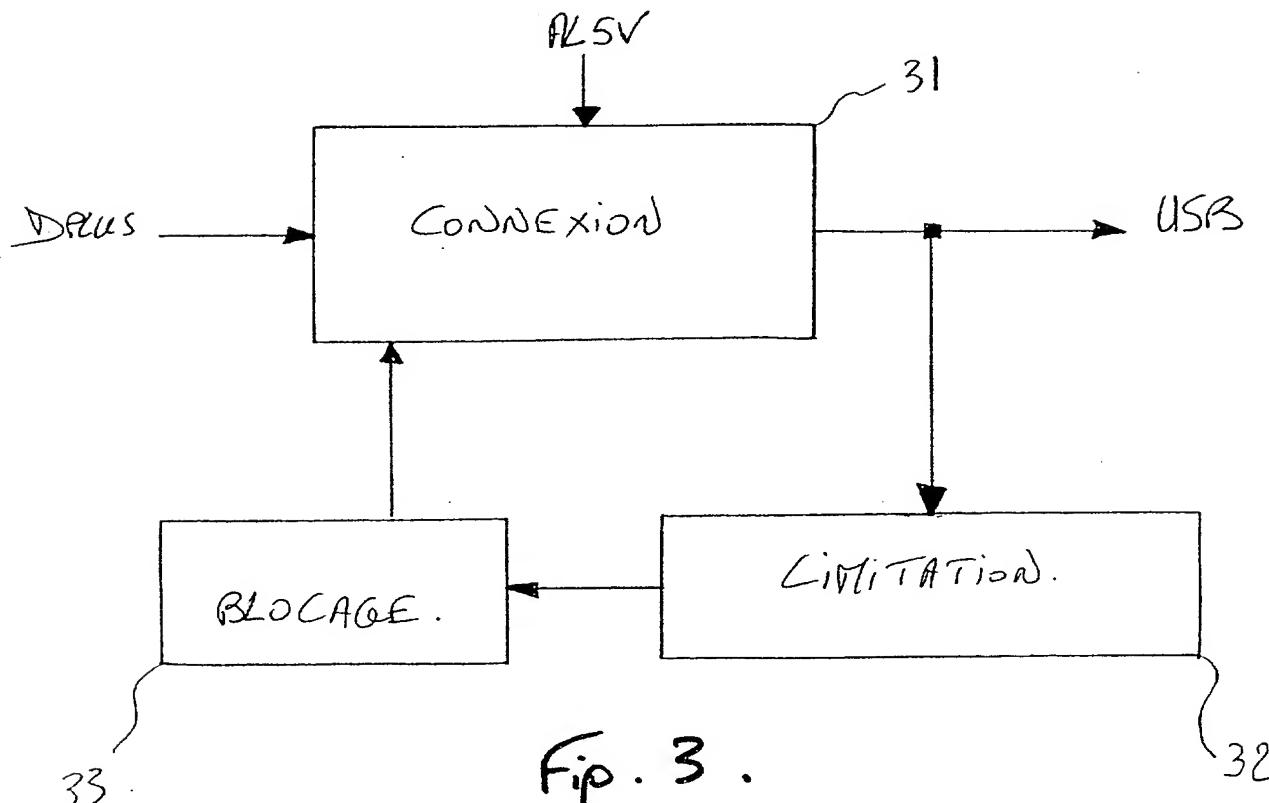


Fig. 3 .

2/5

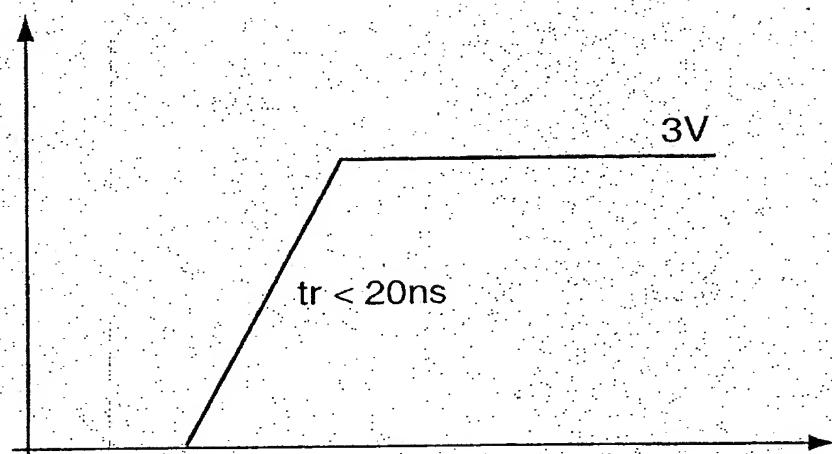
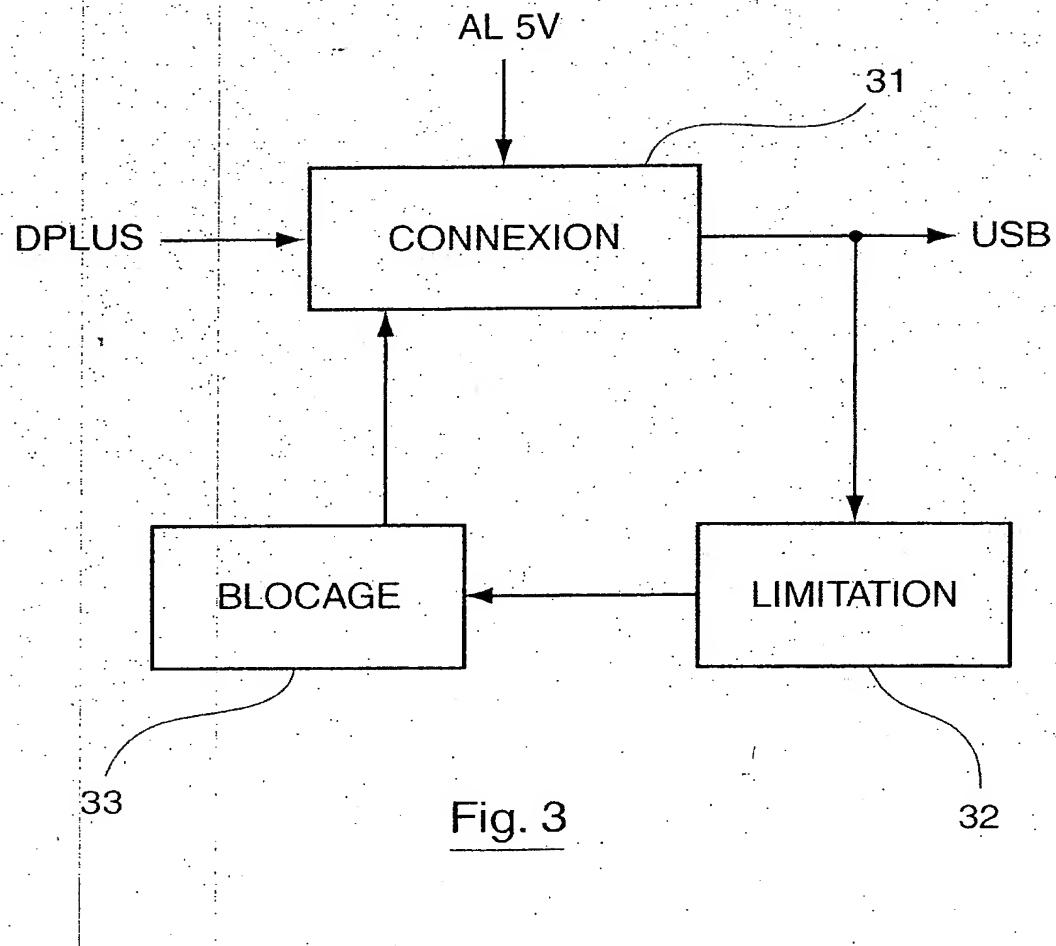


Fig. 2



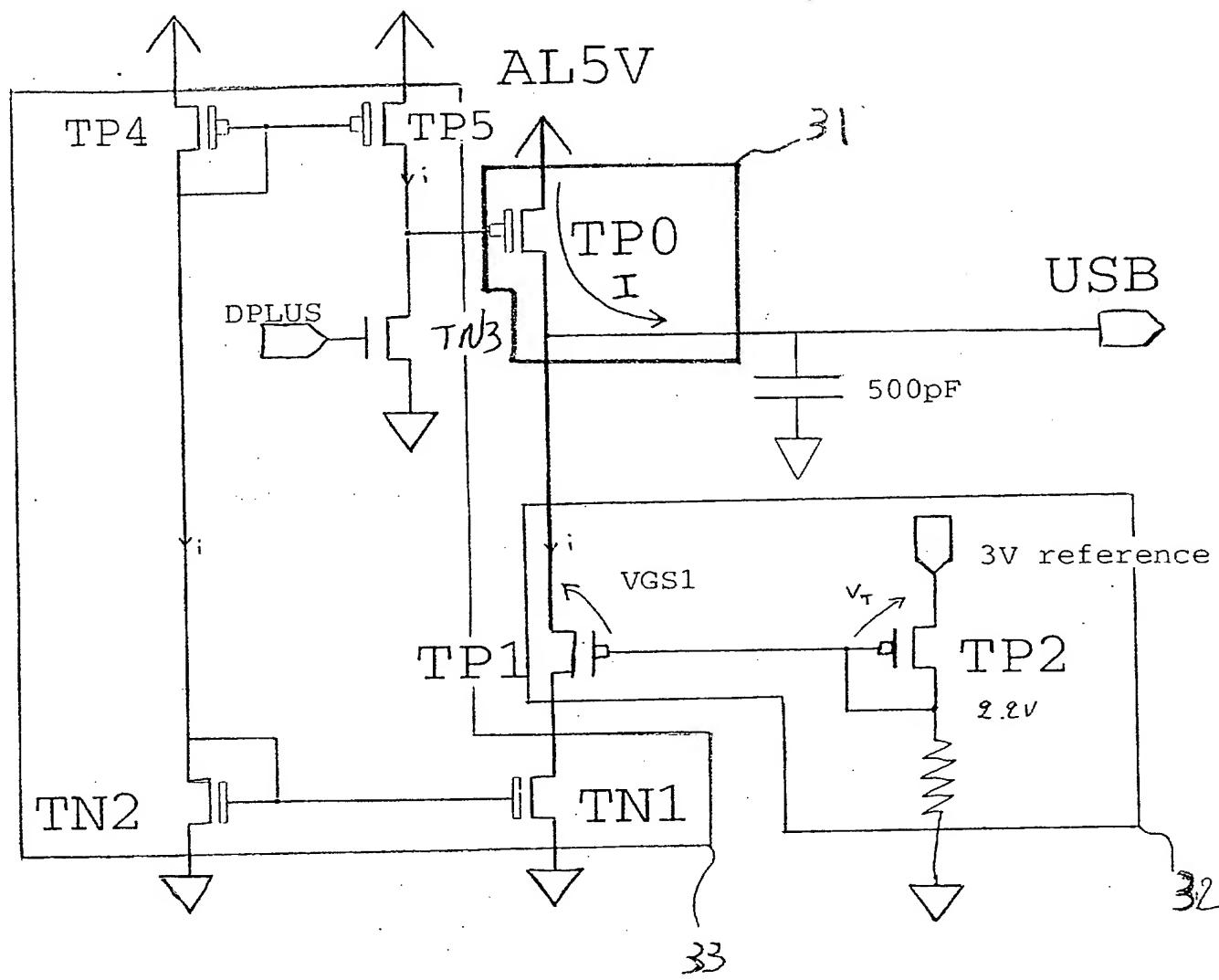


Fig. 4.

3/5

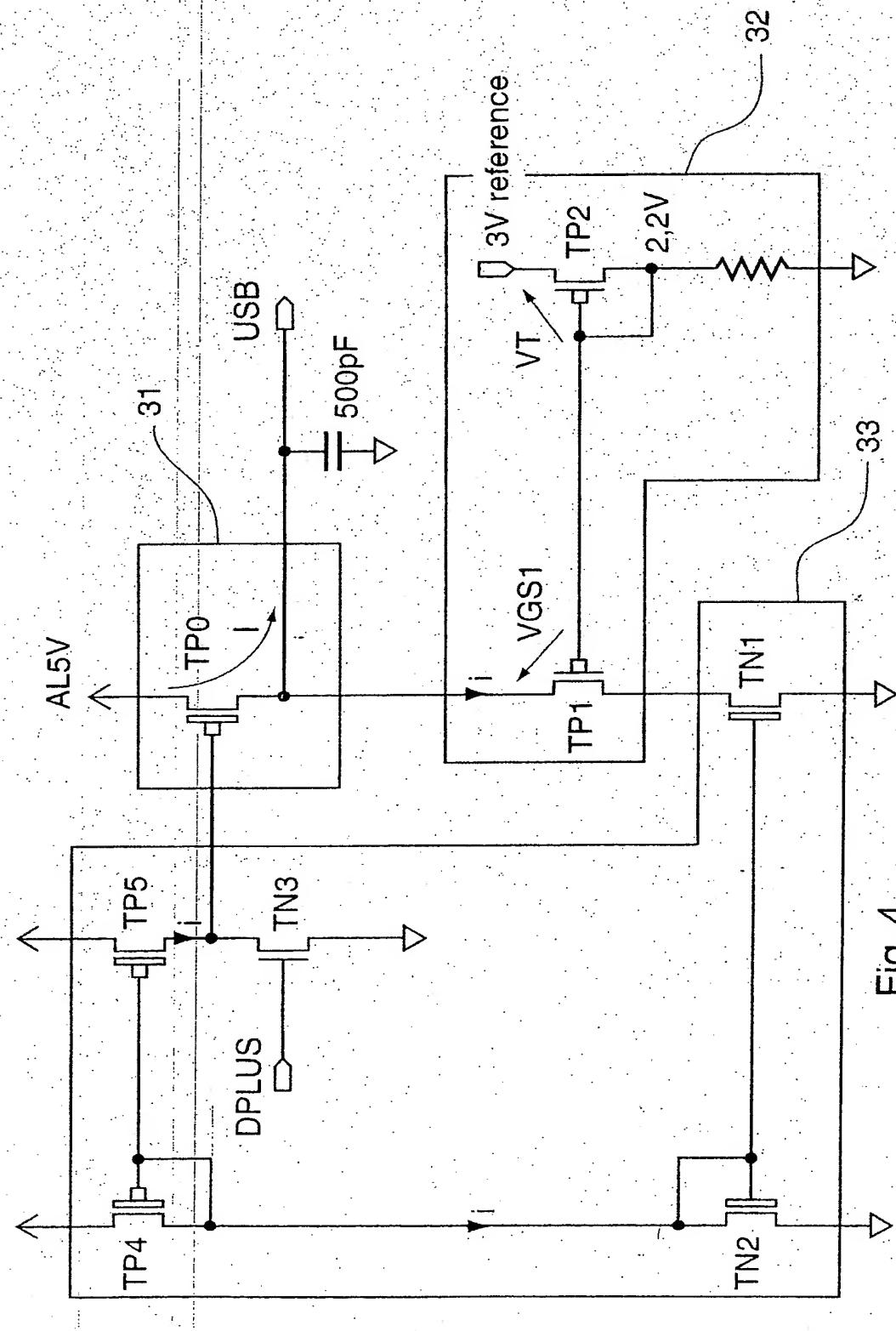


Fig. 4

Cabinet Vidou
Atmel n° N8905FR
Dessins préliminaires

1er dépôt

Modifiée le 13/06/03
4/4

$v \diamond v(VAL5VEXT) + v(DPLUS) \pm v(OUTEXT)$

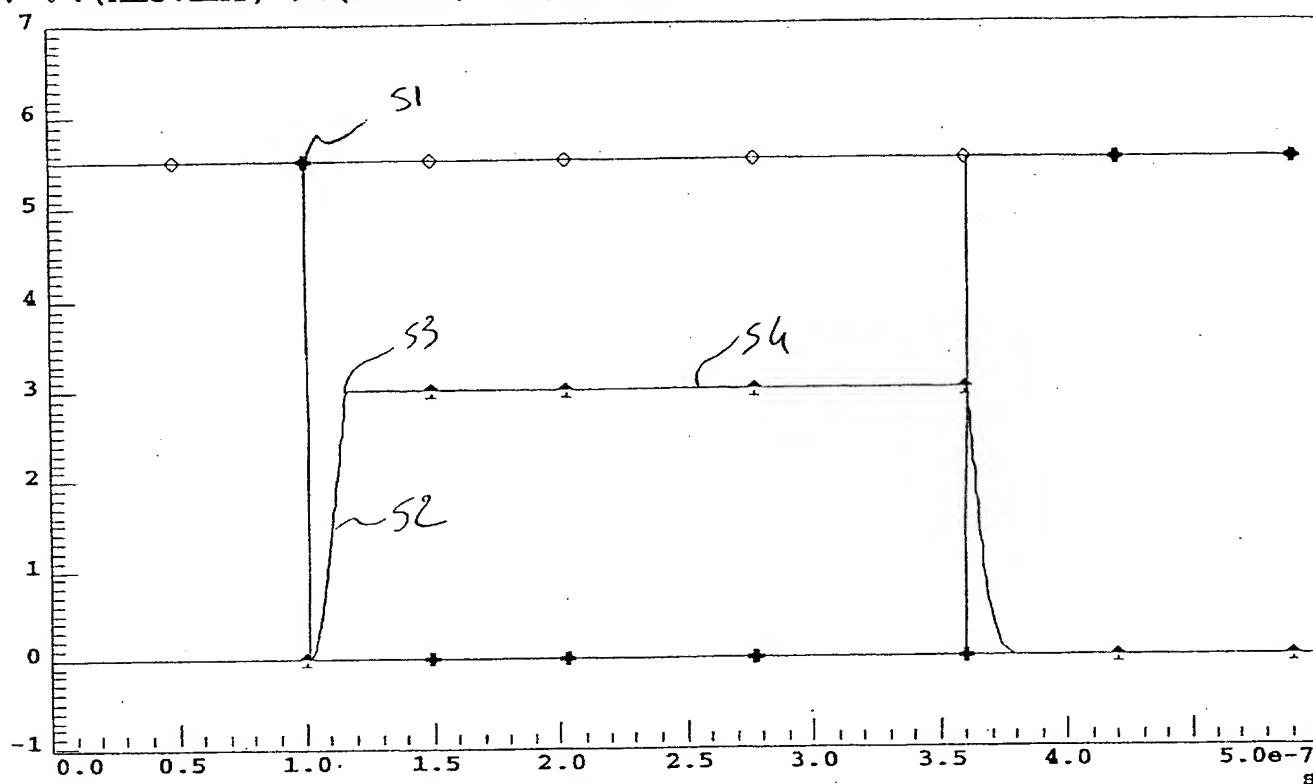


Fig. S.a

$A \diamond I(VAL5VEXT) + I(VVCC)$

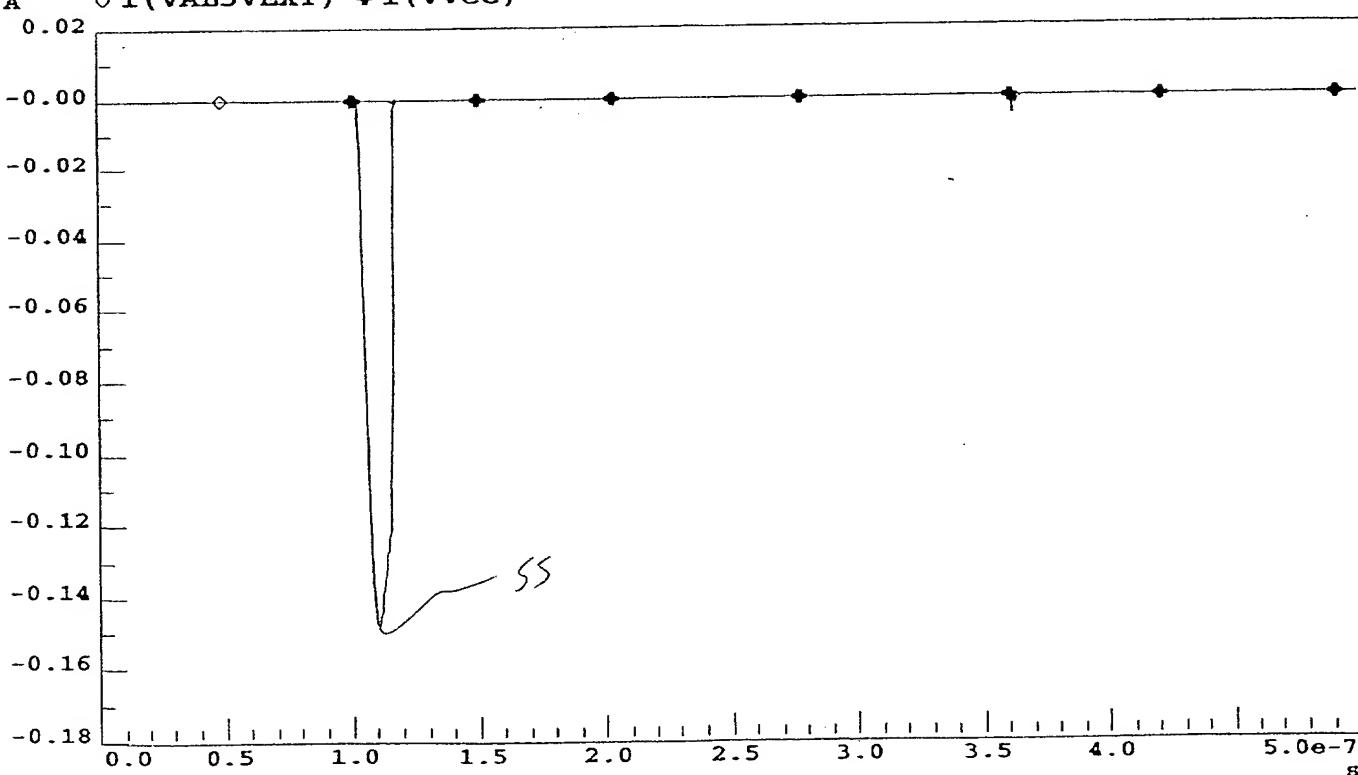


Fig. S.b.

4/5

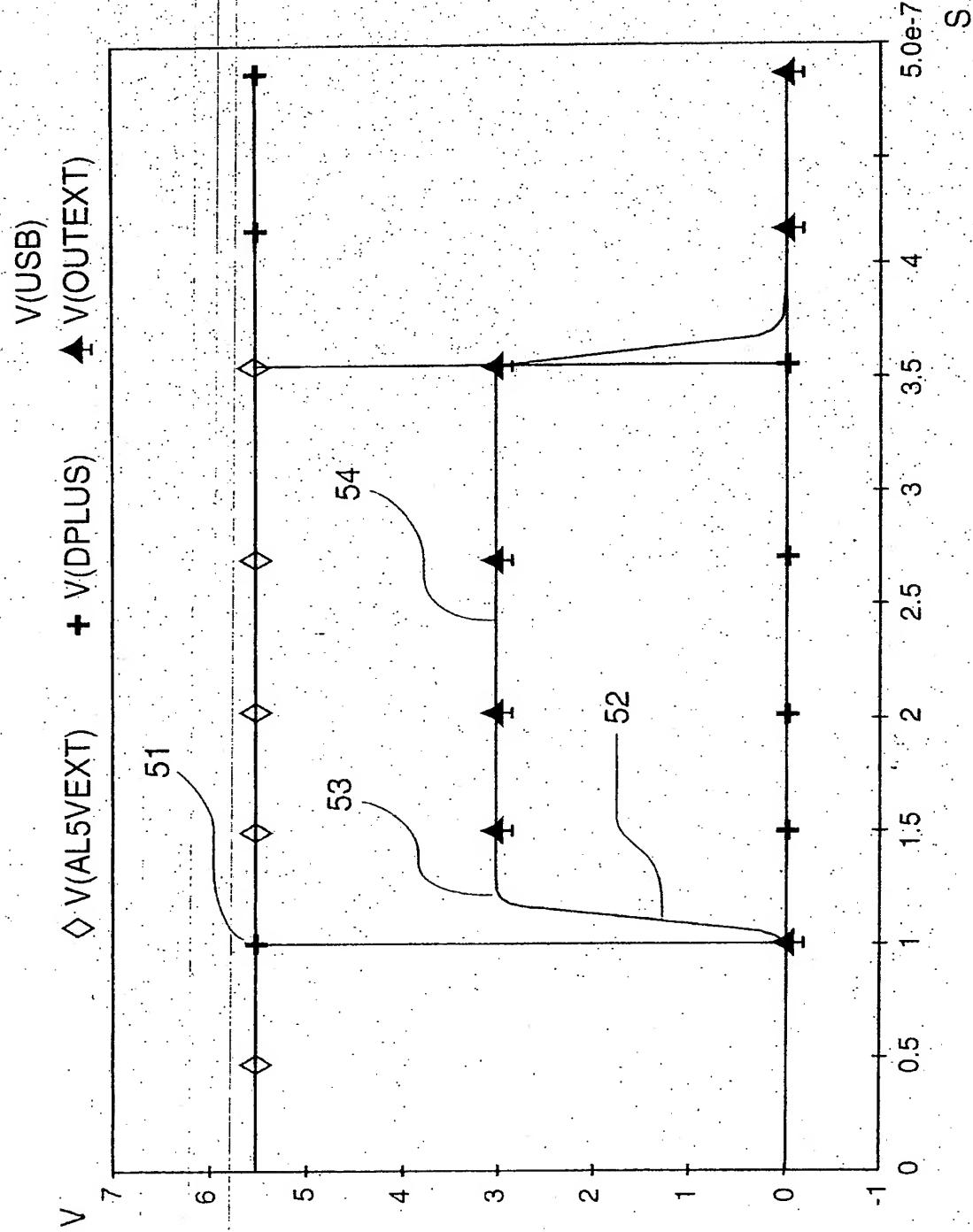
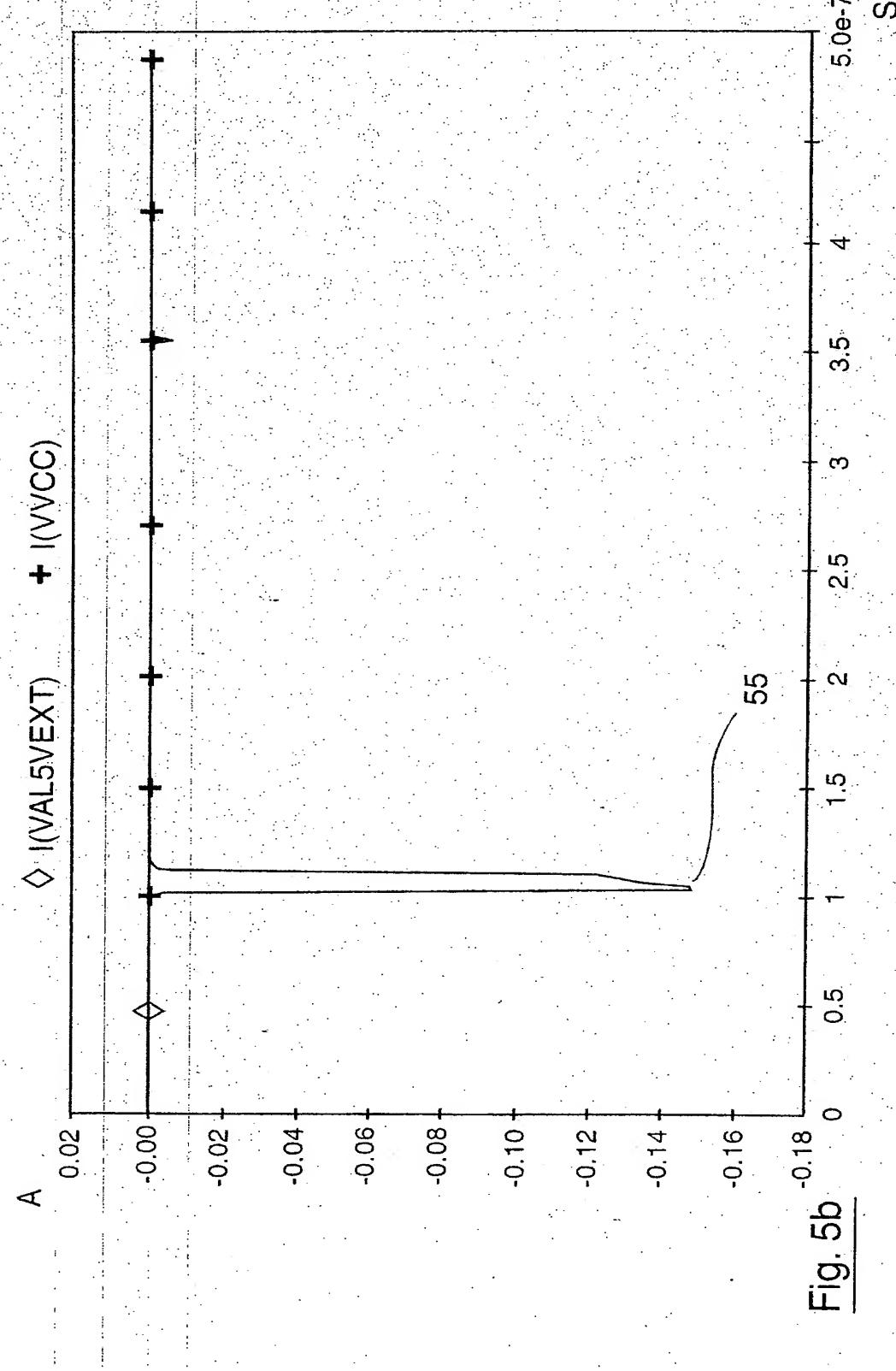


Fig. 5a

5/5





DÉPARTEMENT DES BREVETS

26 bis, rue de Saint Pétersbourg
75800 Paris Cedex 08
Téléphone (33 1) 42 94 86 54

1 AVRIL 2003

BREVET D'INVENTION

CERTIFICAT D'UTILITÉ

Code de la propriété intellectuelle - Livre VI

N° 11235*03

DÉSIGNATION D'INVENTEUR(S) Page N° 1.../1...

(À fournir dans le cas où les demandeurs et les inventeurs ne sont pas les mêmes personnes)

INV

Cet imprimé est à remplir lisiblement à l'encre noire

DB 113 © W / 270601

35 INPI RENNES

Vos références pour ce dossier (facultatif)

N° D'ENREGISTREMENT NATIONAL	3004075
------------------------------	---------

TITRE DE L'INVENTION (200 caractères ou espaces maximum)

Circuit intégré délivrant des niveaux logiques à une tension indépendante de la tension d'alimentation, sans régulateur associé pour la partie puissance, et module de communication correspondant.

LE(S) DEMANDEUR(S) :

ATMEL NANTES SA
La Chantrerie
BP 70602
44306 NANTES CEDEX 3

DESIGNE(NT) EN TANT QU'INVENTEUR(S) :

1 Nom		MESSAGER
Prénoms		Philippe
Adresse	Rue	Les Allées du Parc 3 Impasse des Photinias
	Code postal et ville	14 43 0 0 NANTES
Société d'appartenance (facultatif)		
2 Nom		
Prénoms		
Adresse	Rue	
	Code postal et ville	14 43 0 0
Société d'appartenance (facultatif)		
3 Nom		
Prénoms		
Adresse	Rue	
	Code postal et ville	14 43 0 0
Société d'appartenance (facultatif)		

S'il y a plus de trois inventeurs, utilisez plusieurs formulaires. Indiquez en haut à droite le N° de la page suivi du nombre de pages.

DATE ET SIGNATURE(S)

DU (DES) DEMANDEUR(S)

OU DU MANDATAIRE

(Nom et qualité du signataire)

Le 1er avril 2003,
P. VIDON (Mandataire CPI n° 92 1250)

THIS PAGE BLANK (USPTO)